

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-195780

(43)Date of publication of application : 12.08.1988

(51)Int.Cl. G06F 15/72

(21)Application number : 62-027824 (71)Applicant : SEIKO INSTR & ELECTRONICS LTD

(22)Date of filing : 09.02.1987 (72)Inventor : KAWASHIMA FUJIO
HONMA YASUHIRO

(54) METHOD FOR GENERATING AREA DISCRIMINATING CODE

(57)Abstract:

PURPOSE: To improve pipeline type parallel properties between instructions by utilizing the output of a conditional code generating circuit as a substitute for discrimination carried out by a processor control program.

CONSTITUTION: The contents of each register extracted from a 1st register group 1 independently of each other are outputted to output terminals A and B and then inputted to the terminals A' and B' of an ALU 25 to be subjected to subtraction. The output subtracted by the ALU 25 is controlled by a shift controller 7 and supplied to a shifter 6 and a register 5. Then the output of the ALU 25 is shifted by a program for clipping operation and sent to the group 1. The conditional code generating circuit 4 outputs 1 and 0 when it is satisfied and not satisfied respectively according to the result of the ALU 25.

LEGAL STATUS [Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or
application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

⑯ 日本国特許庁 (JP)

⑯ 特許出願公開

⑯ 公開特許公報 (A)

昭63-195780

⑯ Int.Cl.¹

G 06 F 15/72

識別記号

380

庁内整理番号

6615-5B

⑯ 公開 昭和63年(1988)8月12日

審査請求 未請求 発明の数 1 (全4頁)

⑯ 発明の名称 領域判別コードを生成する方法

⑯ 特願 昭62-27824

⑯ 出願 昭62(1987)2月9日

⑯ 発明者 河島 藤雄 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

⑯ 発明者 本間 康弘 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

⑯ 出願人 セイコー電子工業株式 東京都江東区亀戸6丁目31番1号
会社

⑯ 代理人 弁理士 最上 務 外1名

明細書

(産業上の利用分野)

1. 発明の名称

領域判別コードを生成する方法

この発明は、コンピュータを利用した图形出力におけるクリッピング処理を行なう際の領域判別コードを高速に生成する方法に関する。

(発明の概要)

この発明は、图形出力におけるクリッピング処理を効率的に行なうために利用される領域判別コードの生成のために、条件コード生成回路の出力をシフト・コントローラの制御でQレジスタに入力することにより領域判別のための分岐処理を無くすことによって、クリッピング処理を高速に行なうものである。

(従来の技術)

従来、領域判別コードを生成するには、第3図の領域判別コード図に示すように、線分11、線分12、線分13及び線分14によって分割された9つの領域(領域16、領域17、領域18、領域19、領域20、領域21、領域22、領域23及び領域24)のどの領域に座標値(X₁, Y₁)を持つ点10が存在するかを、関係式Y₁ < Y₂, Y₂ < Y₃, X₁ < X₂

2. 特許請求の範囲

图形出力領域の全て、あるいは任意な一部分の領域をn×nの領域に分割し、この分割された領域内に前記图形データの存在を示す領域判別コードを生成する方法において、第1のレジスタ群から取り出された各レジスタの内容と前記領域を分割した値を算術論理演算装置で演算を行ない、この演算結果のステータスを条件コード生成回路によって判別条件に対する評価を行ない、この評価に基づいてシフトコントローラによって、単独あるいは運動して動作するシフタと第2のレジスタに前記ステータスを入力することによって領域判別コードを生成することを特徴とする領域判別コードを生成する方法。

3. 発明の詳細な説明

及び $X_r < X_L$ を各々評価し関係が成立したならば 1, 関係が不成立ならば 0 として得られるビット列（例えば領域 16ならば、1001）なる領域判別コードとして生成していた。領域判別コードを生成するために、第 4 図の従来のプロセッサのブロック図に示すように、レジスタ群 1 よりレジスタに格納された各点の座標値と境界条件を取り出し、演算回路 2 により上記関係式の演算を行ない、演算の結果、得られたステータスを端子 C より条件コード生成回路 4 に入力して、条件コード生成回路の出力を図示しないプロセッサ管理用プログラムにより判定し、上記関係式による領域判別コードの生成を行っていた。演算処理回路 3 は、演算回路 2 の出力である演算値を入力とし、この入力に対してシフト操作を行ない、結果をレジスタ群 1 へ出力する。この演算を複数回行なう。

上記の例では 2 次元について説明しており、n = 4 回である。同様にして 3 次元の場合には、6 回の演算を行なうことで実現が可能である。

〔発明が解決しようとする問題点〕

しかし、従来のプログラムによって判定を行なう方法では隨所に判定が入るため、命令間のバイブライイン的並列性を高め高速化することが限界に達している。そこで、この発明では、従来のこのような欠点を解決し領域判別コードを高速に生成することを目的とする。

〔問題点を解決するための手段〕

上記問題点を解決するために、この発明は条件コード生成回路の出力をプロセッサ管理用プログラムで行なう判定の代替として利用することによって、プログラム中の判定を無くし、さらに命令間のバイブライイン的並列性を高めるようにした。

〔作用〕

条件コード生成回路から出力されるステータスをシフト・コントローラでシフト制御されるシフタあるいは Q レジスタへの入力とするだけで領域判別コードが生成できるので、プログラム中の条件判定を無くし命令間のバイブライイン的並列性を高めるとともにプログラム・ステップ数を減らし、領域判別コードを高速に生成できるようにした。

〔実施例〕

以下に、この発明の実施例を図面に基づいて説明する。第 1 図の条件コード生成機能を持ったプロセッサのブロック図において、第 1 のレジスタ群 1 より独立して取り出された各レジスタの内容

（例えば座標値と境界条件）は、出力端子 A および B に出力され、ALU25 の入力端子 A' および B' に各々入力され、演算が行われる。ALU25 の演算結果は、出力端子 F を経由してシフタ 6 およびレジスタである Q レジスタ 5 へ出力される。又この演算結果のステータスは、出力端子 C を経由して条件コード生成回路 4 へ渡される。ALU25 の出力端子 F の出力（演算値）は、シフト・コントローラ 7 の制御を受け、シフタ 6 あるいは Q レジスタ 5 に入り、クリッピング操作のプログラムによりシフト操作が行われた後、レジスタ群 1 の入力端子 D へ渡される。Q レジスタ 5 は、シフタとしての機能をも持ったレジスタであり、クリッピング操作のプログラムにより Q レジスタ 5 単独で、あるいはシフタ 6 と Q レジスタ 5 を連結した状態

で、シフト・コントローラ 7 の指示によりシフト操作が行われる。シフト・コントローラ 7 は、シフトの方式、シフトして空いたビットに入れる 1 あるいは 0 の値を Q レジスタ 5 およびシフタ 6 のどこに入れるか制御する。

条件コード生成回路 4 は、ALU25 より出力された演算結果のステータスから、gt (大なり)、lt (小なり)、ge (大なり又は等しい)、le (小なり又は等しい)、eq (等しい)、あるいは ne (等しくない) の判定条件に対する評価を行ない、成立すれば 1、成立しなければ 0 の値を出力する。経路 9 は、条件コード生成回路 4 の出力を、シフト・コントローラ 7 へ入力するための経路である。

第 2 図は、第 1 図で示した条件コード生成機能を持ったプロセッサのブロック図を使用して領域判別コードを生成するフロー図である。箱 30 は領域判別コードを最終的に保持する Q レジスタ 5 の “0” クリアを行ない、箱 31 は算術演算 $Y_r - Y_s$ を行ない結果をいずれのレジスタにも格納しない。

箱32は、箱33で結果を得るために必要な算術演算 $Y_r - Y_s$ を行なうとともに、箱31の算術演算結果として生じたステータスを元に条件コード生成回路4で、 $\<$ (小なり) の条件コードが成り立つか否かを判別し、Qレジスタ5を左へ1ビット分シフトし、空いたビットに判別結果を入れる操作 $Q << (\<)$ を行なう。箱33は、箱34で結果を得るために必要な算術演算 $X_r - X_s$ を行なうとともに、箱32の算術演算の結果として生じたステータスを元に条件コード生成回路4で $\<$ (小なり) の条件コードが成り立つか否かを判別し、Qレジスタ5を左へ1ビット分シフトし、空いたビットに判別結果を入れる操作、 $Q << (\<)$ を行なう。以下、箱34と箱35で算術演算式およびステータスを変えて繰り返す。この結果、箱35の終了時点ではQレジスタ5の下位4ビットに領域判別コードが生成される。

次に、第2図のフロー図を用いて、第3図中の座標値 (X_r, Y_r) を持つ点10における領域判別コード(0000)の生成例を示す。箱30は、最終的に

点10がどちら側に存在するかを求める操作であり、関係式 $X_r < X_s$ の評価を行ない成立すれば1、成立しなければ0をQレジスタ5の下位ビットに左1ビット・シフトして入れることを行なう。点10に対しては、関係式 $X_r < X_s$ が成り立たないので、Qレジスタ5を左へ1ビット・シフトし空いたビットに0が入る。この結果、Qレジスタ5の下位3ビットは、000となる。箱34の算術演算 $X_r - X_s$ と箱35の $Q << (\<)$ は、線分12に対して点10がどちら側に存在するかを求める操作であり、関係式 $X_r < X_s$ の評価を行ない成立すれば1、しなければ0をQレジスタ5の下位ビットに左1ビット・シフトして入れることを行なう。点10に対しては、関係式 $X_r < X_s$ が成り立たないので、Qレジスタ5を左へ1ビット・シフトし空いたビットに0が入る。この結果、箱35を終了した時点では、Qレジスタ5の下位4ビットは、0000となりプログラムによる判定を行わずに、領域判別コードを生成することができる。

なお、座標値を持つ点10が領域のどこに存在し

領域判別コードを保持するQレジスタ5の"0"クリアを行なう。箱31の算術演算 $Y_r - Y_s$ と箱32の $Q << (\<)$ は、線分13に対して点10がどちら側に存在するかを判別する処理であり、関係式 $Y_r < Y_s$ の評価を行ない成立すれば1、成立しなければ0をQレジスタ5の下位ビットに左1ビット・シフトして入れることを行なう。点10に対しては、関係式 $Y_r < Y_s$ が成り立たないので、Qレジスタ5を左へ1ビット・シフトし空いたビットに0が入る。箱32の算術演算 $Y_r - Y_s$ と箱33の $Q << (\<)$ は、線分14に対して点10がどちら側に存在するかを判別する処理であり、関係式 $Y_r < Y_s$ の評価を行ない成立すれば1、成立しなければ0をQレジスタ5の下位ビットに左1ビット・シフトして入れることを行なう。点10に対しては、関係式 $Y_r < Y_s$ が成り立たないので、Qレジスタ5を左へ1ビット・シフトし空いたビットに0が入る。この結果、Qレジスタ5の下位2ビットは、00となる。箱33の算術演算 $X_r - X_s$ と箱34の $Q << (\<)$ は、線分11に対して

ても本発明の方法によって処理できることは言うまでもない。

本実施例では2次元を想定して記載してあるが、3次元においても、本方式において実施できる。

(発明の効果)

この発明は、条件コード生成回路4の出力9をQレジスタ5に入れることによって、プログラム中の分岐を無くし、命令間のパイプライン的並列性を高めるとともにプログラム・ステップ数を減らすことにより、領域判別コードを高速に生成できるので、クリッピング処理ができる。

4. 図面の簡単な説明

第1図は、条件コード生成機能を持ったプロセッサのブロック図、第2図は、領域判別コード生成のフロー図、第3図は、領域判別コード図、第4図は、従来のプロセッサのブロック図である。

1 . . . レジスタ群

2 . . . 演算回路

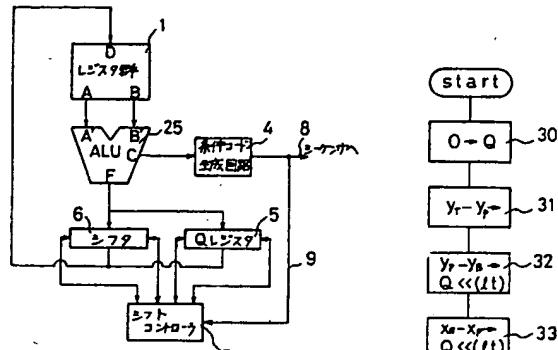
3 . . . 演算処理回路

4 . . . 条件コード生成回路
 5 . . . Q レジスタ
 6 . . . シフタ
 7 . . . シフト・コントローラ
 25 . . . A L U (算術論理演算装置)

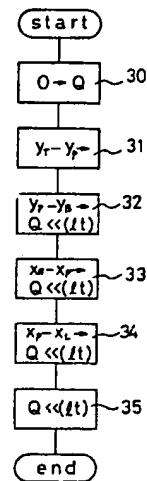
以上

出願人 セイコー電子工業株式会社

代理人 弁理士 最上 務 (他1名)

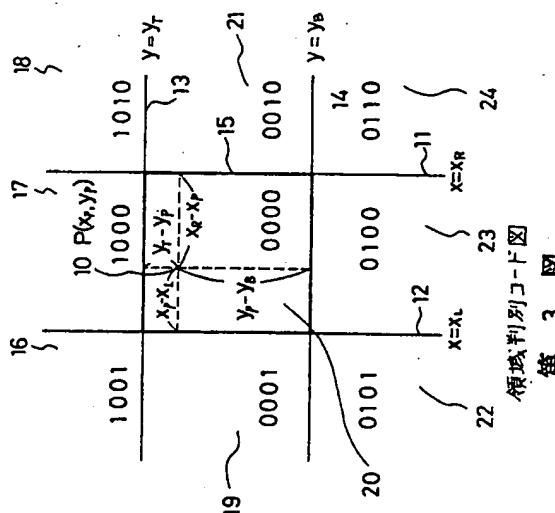
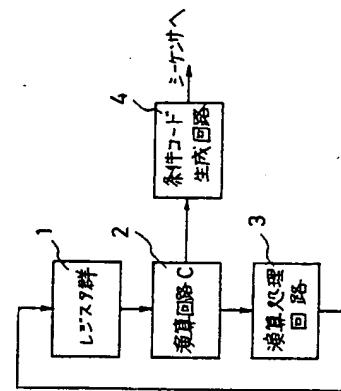
条件コード生成機能を持つアロケータ回路
プロト7図

第1図



領域判別コード生成プロト図

第2図

領域判別コード図
第3図従来のプロセッサのプロト7図
第4図